

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06176597 A

(43) Date of publication of application: 24.06.1994

(51) Int. Cl. G11C 29/00
H01L 21/82

(21) Application number: 04324058
(22) Date of filing: 03.12.1992

(71) Applicant: TOSHIBA CORP
(72) Inventor: KAMEI SHINJI

(54) SEMICONDUCTOR DEVICE

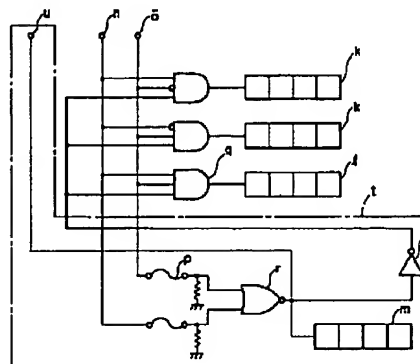
cell array with the redundant line (m) is written in the memory devices.

(57) Abstract:

COPYRIGHT: (C)1994,JPO&Japio

PURPOSE: To improve manufacturing efficiency of a semiconductor device by testing a redundant line before fusing of a fuse.

CONSTITUTION: This device is provided with address selecting terminals (n), (o) which supplies a selecting signal to select the prescribed line of a memory cell array, memory devices, a redundant circuit (t) which replaces a defective line (l) of the memory cell array with a redundant line (m), and a redundant line selecting terminal (u) which supplies a selecting signal being able to select the redundant line (m) before information which replaces the defective line (l) of the memory



BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-176597

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl. ⁵	発明記号	庁内整理番号	FI	技術表示箇所
G11C 29/00	301 B	6741-5L		
H01L 21/82		7377-4M	H01L 21/82	R

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号 特願平4-324058

(22)出願日 平成4年(1992)12月3日

(71)出願人 000003078

株式会社京芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 亀井 伸二

大分県大分市大字松岡3500番地 株式会社

京芝大分工場内

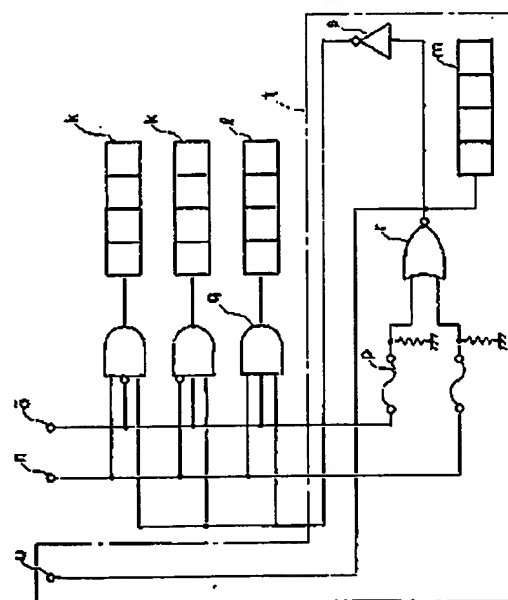
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】ヒューズの溶断前に、冗長ラインの試験を行い、半導体装置の生産効率の向上を図る。

【構成】メモリセルアレイの所定ラインを選択するための選択信号を供給するアドレス選択端子n、oと、記憶素子を有し、メモリセルアレイの不良ラインlを冗長ラインmに置き換えるための冗長回路と、メモリセルアレイの不良ラインlを冗長ラインmに置き換える情報を記憶素子に書き込む前に、冗長ラインmを選択し得る選択信号を供給する冗長ライン選択端子uとを備える。



(2)

特開平6-176597

1

2

【特許請求の範囲】

【請求項1】 メモリセルアレイと、上記メモリセルアレイの所定ラインを選択するための選択信号を供給するアドレス選択端子と、記憶素子を有し、上記メモリセルアレイの不良ラインを冗長ラインに置き換えるための冗長回路と、上記メモリセルアレイの不良ラインを冗長ラインに置き換える情報を上記記憶素子に書き込む前に、上記冗長ラインを選択し得る選択信号を供給する冗長ライン選択端子とを具備することを特徴とする半導体装置。

【請求項2】 上記アドレス選択端子及び上記冗長ライン選択端子は、共に、上記半導体装置が形成される半導体ベレット上にパッドとして形成されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、歩留りを向上させるための冗長回路を搭載した半導体装置の改良に関する。

【0002】

【従来の技術】 従来、冗長回路を搭載した半導体装置は、例えば図4に示されるように構成されている。ここに、冗長回路とは、レーザ等でヒューズを熔断することにより論理的に不良ラインを冗長ラインに置き換える回路のことである。図4において、aは不良ライン、bは不良ライン、cは冗長ライン、d及びeはアドレス選択端子、fはヒューズ、gはAND回路、hはNOR回路、iはNOT回路、jは冗長回路である。

【0003】 以下に、不良ラインbを冗長ラインcへ置き換える手段について説明する。まず、メモリセルアレイのラインを順次選択し試験を行い、不良ラインを抽出する。即ち、(a) アドレス選択端子dに“1”を入力し、アドレス選択端子eに“1”を入力する。すると、(b) 冗長回路j内のNOR回路hの二つの入力は、ヒューズを熔断していないため、共に“1”となり、従って、その出力は、“0”となる。つまり、冗長ラインcは選択されない。

【0004】 なお、NOT回路iの入力は“0”となるから、その出力は、“1”となる。このため、AND回路gの三つの入力、それぞれ“1”、“1”、“1”となる。従って、AND回路gの出力は、“1”であり、不良ラインbが選択されることになる。

【0005】 次に、不良ラインを冗長ラインに置き換える。即ち、(a) ヒューズfをレーザ等により熔断する。この後、(b) アドレス選択端子dに“1”を入力し、アドレス選択端子eに“1”を入力する。すると、(c) 冗長回路j内のNOR回路hの二つの入力、ヒューズを熔断しているため、一方が“0”となり、従って、その出力は、“1”となる。つまり、冗長ラインcが選択される。

【0006】 なお、NOT回路iの入力は“1”となる

から、その出力は、“0”となる。このため、AND回路gの三つの入力、それぞれ“1”、“1”、“0”となる。従って、AND回路gの出力は、“0”であり、不良ラインbは選択されない。

【0007】 ところが、上述の冗長回路には、以下のような欠点がある。即ち、近年、半導体装置の大容量化が進行する中で、当該半導体装置の試験に費やす時間の割合が非常に大きくなっていることである。さらに、試験工程は、同じことを2度、3度と繰り返す行わなければならない、試験時間は、指数関数的に増大してきている。

【0008】 また、チップの増大、大容量化に伴い、冗長回路jにより救済できるラインの数も増やす必要が生じている。一方、冗長回路jにより不良ラインbを冗長ラインcに置き換えても、当該冗長ラインcが正常に動作するとは限られず、従って、冗長ラインcについても試験を行う必要がある。

【0009】 しかし、冗長ラインcの試験は、ヒューズfを熔断した後でなければ行うことができず、図5に示すような工程を経る、即ち再試験を行うこととなり、生産効率が低下するという欠点がある。これは、試験工程に要する時間の短縮や省略により試験コストを抑えるという要請に反するものである。

【0010】

【発明が解決しようとする課題】 このように、従来は、ヒューズを熔断した後でなければ、冗長ラインの試験を行うことができず、従って、再試験を必要とするため、生産効率が低下するという欠点がある。

【0011】 本発明は、上記欠点を解決すべくなされたもので、その目的は、ヒューズを熔断することなく、一度の試験で、同時に冗長ラインの試験も行い、これにより半導体装置の生産効率の向上を図ることである。

【0012】

【課題を解決するための手段】 上記目的を達成するため、本発明の半導体装置は、メモリセルアレイと、上記メモリセルアレイの所定ラインを選択するための選択信号を供給するアドレス選択端子と、記憶素子を有し、上記メモリセルアレイの不良ラインを冗長ラインに置き換えるための冗長回路と、上記メモリセルアレイの不良ラインを冗長ラインに置き換える情報を上記記憶素子に書き込む前に、上記冗長ラインを選択し得る選択信号を供給する冗長ライン選択端子とを備えている。また、上記アドレス選択端子及び上記冗長ライン選択端子は、共に、上記半導体装置が形成される半導体ベレット上にパッドとして形成されている。

【0013】

【作用】 上記構成によれば、上記メモリセルアレイの不良ラインを冗長ラインに置き換える情報を上記記憶素子に書き込む前に、冗長ライン選択端子に上記冗長ラインを選択し得る選択信号を供給すれば、当該記憶素子の記

(3)

特開平6-176597

3

従前に冗長回路の試験を行うことができる。従って、一度の試験で、同時に冗長ラインの試験も行うことができ、これにより半導体装置の生産効率の向上を図れる。

【0014】

【実施例】以下、図面を参照しながら、本発明の一実施例について詳細に説明する。図1は、本発明の一実施例に係わる冗長回路を有する半導体装置を示している。図1において、kは良ライン、lは不良ライン、mは冗長ライン、n及びoはアドレス選択端子、pはヒューズ、qはAND回路、rはNOR回路、sはNOT回路、tは冗長回路、uは冗長ライン選択端子である。

【0015】本発明の半導体装置では、従来のものに比べ、冗長回路tの出力側に冗長ライン選択端子uが設けられている。つまり、当該冗長ライン選択端子uの入力を制御することにより、不良ラインを選択しヒューズを熔断する前に、当該冗長ラインの試験を行い得るものである。

【0016】図2は、図1の半導体装置が形成される半導体ベレット上に配置されるアドレス選択端子n、o及び冗長ライン選択端子uを示すものである。これら端子は、パッドとして、半導体ベレット上に形成される。

【0017】以下、図1の半導体装置の動作について説明する。まず、メモリセルアレイの不良ラインlが選択される場合、(a)アドレス選択端子nには「1」が入力され、アドレス選択端子oには「1」が入力される。すると、(b)冗長回路t内のNOR回路rの二つの入力、ヒューズpを熔断していないため、共に「1」となる。従って、その出力は「0」となり、冗長ラインmは選択されない。

【0018】なお、NOT回路sの入力は「0」となるから、その出力は「1」となる。このため、AND回路qの三つの入力は、それぞれ「1」、「1」、「1」となる。従って、AND回路qの出力は、「1」となり、不良ラインlが選択されることになる。

【0019】次に、ヒューズpを熔断することなく冗長ラインmを選択する場合について説明する。まず、(a)アドレス選択端子nに「1」を入力し、アドレス選択端子oに「1」を入力する。また、冗長ライン選択端子uに「1」を入力する。すると、(b)冗長回路t内のNOR回路rの入力は、ヒューズを熔断していないため、共

4

に「1」となる。しかし、その出力のレベルは、冗長ライン選択端子uに「1」が入力されているため、「1」である。つまり、冗長ラインmが選択される。

【0020】なお、NOT回路sの入力は「1」となるから、その出力は、「0」となる。このため、AND回路qの三つの入力は、それぞれ「1」、「1」、「0」となる。従って、AND回路qの出力は「0」であり、不良ラインlは選択されることがない。

【0021】

【発明の効果】以上、説明したように、本発明の半導体装置によれば、次のような効果を奏する。従来では、図5に示すように、通常の試験を行い、不良ラインを冗長ラインに置き換えるためヒューズを熔断した後、さらに冗長ラインの再試験を行っていた。本発明では、冗長ライン選択端子uの入力を制御すれば、図3に示すように、再試験を行うことなく一度の試験で冗長ラインの試験を行うことができる。これにより、試験工程及び試験時間の短縮や、それに伴うコストの低減が達成され、生産効率が向上する。

【図面の簡単な説明】

【図1】本発明に係わる冗長回路を搭載した半導体装置を示す図。

【図2】図1の半導体装置が形成されるベレットを示す図。

【図3】本発明に係わる試験工程を示す図。

【図4】従来の冗長回路を搭載した半導体装置を示す図。

【図5】従来に係わる試験工程を示す図。

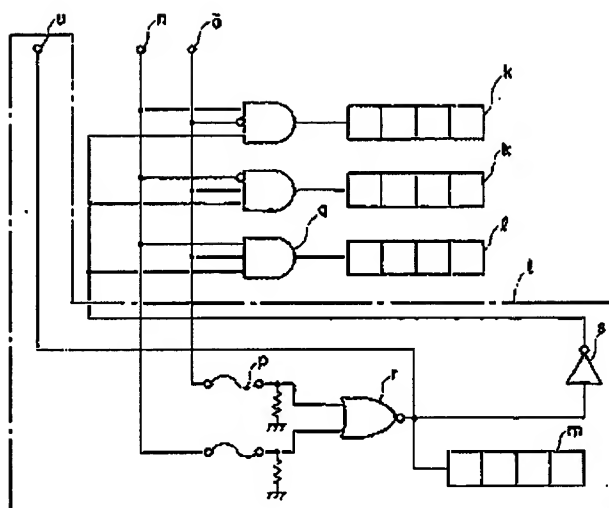
【符号の説明】

k …良ライン、
l …不良ライン、
m …冗長ライン、
n、o …アドレス選択端子、
p …ヒューズ、
q …AND回路、
r …NOR回路、
s …NOT回路、
t …冗長回路、
u …冗長ライン選択端子。

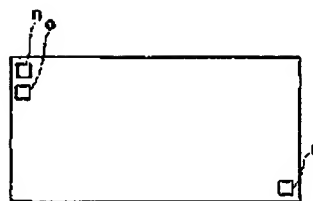
(4)

特開平6-176597

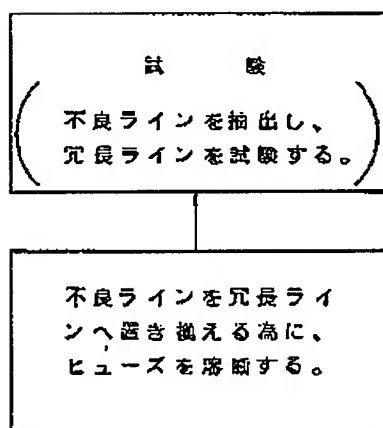
【図1】



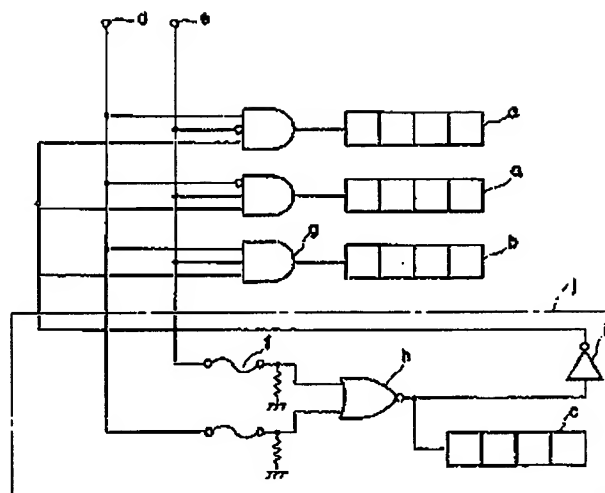
【図2】



【図3】



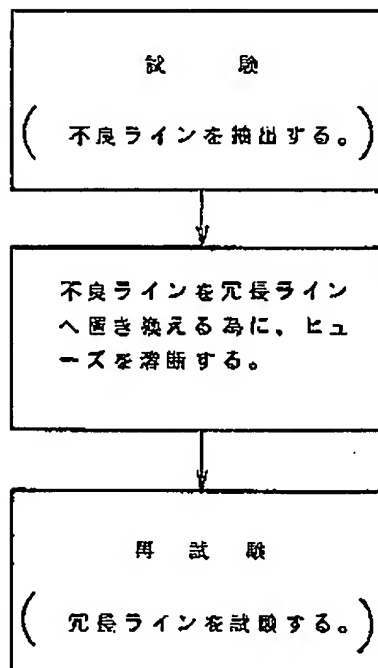
【図4】



(5)

特開平6-176597

【図5】



BEST AVAILABLE COPY